

⑪ 公開特許公報 (A) 昭60-163300

⑫ Int. Cl.

G 11 C 29/00
G 06 F 11/10
12/16

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)8月26日

7922-5B
7368-5B
7922-5B *審査請求 未請求 発明の数 1 (全15頁)

⑭ 発明の名称 誤り訂正機能付半導体メモリ

⑮ 特 願 昭59-18326

⑯ 出 願 昭59(1984)2月6日

⑰ 発明者 堀口 真志 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発明者 下東 勝博 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発明者 青木 正和 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発明者 中込 儀延 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代理人 弁理士 高橋 明夫 外1名

最終頁に続く

明細書

発明の名称 誤り訂正機能付半導体メモリ

特許請求の範囲

- 1 2通り(9と3)の互いに異なる量の電荷を蓄積することによつて2種の情報を記憶するメモリセルを用い、誤り訂正符号として9元符号を用いることを特徴とする、誤り訂正機能付半導体メモリ。
- 2 上記9元符号として、9元巡回符号もしくは9元短縮化巡回符号を用いることを特徴とする、特許請求の範囲第1項記載の誤り訂正機能付半導体メモリ。

発明の詳細な説明

〔発明の利用分野〕

本発明は、ソフトエラー対策として誤り訂正機能を設けたメモリに係り、特に1メモリセルに多値情報を記憶するメモリに関する。

〔発明の背景〕

キヤバシタンスに蓄積する電荷量によつて情報を記憶するメモリセルには、1トランジスタ形メ

モリセルやCCDがある。このキヤバシタンスに蓄積する電荷量を3通り以上にすることによつて1メモリセルに3種以上の情報を記憶する方式については、例えば文献 Lewis M. Terman et al., "CCD Memory using Multilevel Storage", ISSCC Tech. Dig. Papers, Feb. 1981, pp. 154-155に述べられている。このような多値記憶を実現する際に問題になるのは、α線等によつて生ずるソフトエラーである。2種情報の誤り訂正としては、例えば文献 Tsuneo Mano et al., "Submicron VLSI Memory Circuits", ISSCC Tech. Dig. Papers, Feb. 1983, pp. 234-235に述べられているように検査ピットを設けて誤り訂正を行う方式がある。しかし、多値記憶の場合は、1個のメモリセルにソフトエラーが生じるとそれに記憶されている多値情報がすべて失われる(例えば8種記憶の場合は3ピットが同時に失われる)ため、通常の誤り訂正方式では訂正できない。このような誤りをも訂正できるようにする一つの方法は、多

を用いたメモリである。以下、本実施例の動作を説明する。

まず、メモリにデータを書き込む際の動作を説明する。データ入力端子 $D_{100} \sim D_{144}$ から入って来た 6 ビットのデータ $z_{00}, z_{01}, z_{10}, z_{11}, z_{20}, z_{21}$ を符号化回路 1 を通して 4 ビットの検査ビット $z_{00}', z_{01}', z_{10}', z_{11}'$ を付加し、計 10 ビットの符号とする。一方、ワード線選択回路 3 およびデータ線選択回路 4 によって、データを書き込むべきアドレスに対応したワード線を 1 本 ($WL1$) とデータ線を 5 本 ($DLj \sim DLj_{44}$) を選択し、5 個のメモリセル $MC1j \sim MC1j_{44}$ を選択する。書き込むべきデータは 2 ビットずつ組にして、 z_{00} と z_{01} とをメモリセル $MC1j_0$ に、 z_{10} と z_{11} とを $MC1j_1$ に、……、 z_{20} と z_{21} とを $MC1j_{44}$ に書き込む。そのためには、各データ線毎に設けられた DA 変換器 $DAj \sim DAj_{44}$ で 2 ビットの情報をアナログ電圧に変換し、その電圧をデータ線 $DLj \sim DLj_{44}$ を介してメモリセル $MCj \sim MCj_{44}$ のキャッシュタンスに蓄積すればよ

重複り訂正符号を用いることである。例えば多値記憶の場合は三重複り訂正符号を用いればよい。しかし、一般に多重複りを訂正できるようにするためには、多段の検査ビットを必要とし、符号化・復号の手間も大きいという欠点がある。

【発明の目的】

本発明の目的は、1 メモリセルに記憶されている多値情報がソフトエラーによって一度に失われても、誤り訂正が容易な多値メモリを提供することにある。

【発明の概要】

上記のようなソフトエラーを効率よく訂正するためには、1 メモリセルに記憶されている多値情報をまとめて 1 つのシンボルとみなし、そのシンボルを単位とした符号、すなわち多元符号を用いればよい。

【発明の実施例】

第 1 図に本発明の一実施例を示す。本実施例は、1 トランジスタ形メモリセルにも値 (2 ビット) の情報を記憶させ、誤り訂正符号として 4 元符号

を用いる。

次に、メモリからデータを読み出す際の動作を説明する。データ書き込み時と同様に、読み出すべきアドレスに対応したワード線を 1 本 ($WL1$) とデータ線を 5 本 ($DLj \sim DLj_{44}$) を選択し、5 個のメモリセル $MC1j \sim MC1j_{44}$ を選択する。各メモリセルから読み出されたアナログ信号は、各データ線毎に設けられた A/D 変換器 $ADj \sim ADj_{44}$ によって 2 ビットのデジタル信号に変換される。メモリセル 5 個から読み出された計 10 ビットのデータ $z_{00}, z_{01}, \dots, z_{10}, z_{11}, z_{20}, z_{21}$ を復号回路 2 に入れて誤り訂正を行う。訂正されたデータ $z_{00}', z_{01}', \dots, z_{10}', z_{11}'$ は、DA 変換器を通して他のメモリセルに書き込むと同時に、6 ビットのデータ $z_{10}', z_{11}', z_{20}', z_{21}', z_{30}', z_{31}'$ はデータ出力端子 $D_{out0} \sim D_{out6}$ に出す。

メモリセルのリフレッシュは、ワード線を 1 本選択し、各メモリセルから読み出されたアナログ信号を一旦 AD 変換器でデジタル信号に変換し

DA 変換器で再びアナログ信号に戻してメモリセルに再書き込みすればよい。また、書き込み時、もしくは読み出し時にあっても、選択されたワード線上にあつて選択されないデータ線上にあるメモリセルについては、上記リフレッシュ動作を行なう必要がある。

次に、この実施例に用いている符号化回路 1、および復号回路 2 について詳細に説明する。第 2 図に符号化回路の回路図を、第 3 図に復号回路の回路図を示す。

まず、ここで用いている誤り訂正符号について述べる。符号化および復号の際には、同一のメモリセルに記憶する 2 ビット z_{10} と z_{11} ($i=0 \sim 4$) をまとめて 1 つの 4 元のシンボルとして扱う。すなわち 4 元符号を用いる。したがつて、 i 線によつて 1 個のメモリセルがソフトエラーを起こして 2 ビットの情報が同時に失われたとしても、他の 4 個のメモリセルがエラーを起こさなければ訂正することができる。

4 元符号の 4 つのシンボルとしては、GF(4)

GF(4は位数4の有限体)の4個の元、0, 1, r , r^2 (尤だし $r^2 + r + 1 = 0 \pmod 2$) を用いる。2ビットのデータ (b_0, b_1) をこの4つのシンボルで表すには、1と r との組合せ $b_0 \cdot 1 + b_1 \cdot r$ で表す。すなわち、

$$0 \cdot 1 + 0 \cdot r = 0 \quad (1)$$

$$1 \cdot 1 + 0 \cdot r = 1 \quad (2)$$

$$0 \cdot 1 + 1 \cdot r = r \quad (3)$$

$$1 \cdot 1 + 1 \cdot r = 1 + r = r^2 \quad (4)$$

であるから、(0, 0)は0で、(1, 0)は1で、(0, 1)は r で、(1, 1)は r^2 で表す。

ここで用いている符号は4元ハミング(5, 3)符号であり、そのパリティ検査行列 \bar{H} は、

$$\bar{H} = \begin{pmatrix} 1 & 0 & 1 & 1 & 1 \\ 0 & 1 & 1 & r & r^2 \end{pmatrix} \quad (5)$$

である。したがつて、符号語を $\bar{s}^* = (s_0, s_1, s_2, s_3, s_4)$ とすると、 $\bar{H} \bar{s}^* = 0$ 、すなわち、

$$s_0 + s_2 + s_3 + s_4 = 0 \quad (6)$$

$$s_1 + s_2 + s_3, r + s_4, r^2 = 0 \quad (7)$$

であるから、21K示すようにEORゲート1個で実現できる。 s_1 と r^2 の積についても同様に22K示すようにEORゲート1個で実現できる。

次に、第3図の符号回路について説明する。符号回路は、シンドロームを計算する回路23と、誤り訂正を行う回路24から成る。

メモリから読み出された10ビット $s_{00}, s_{01}, \dots, s_{10}, s_{11}$ を、同一のメモリセルに記憶されていたもの同士2ビットずつまとめて、 $s_0 = s_{00} + s_{01}r, s_1 = s_{10} + s_{11}r, s_2 = s_{20} + s_{21}r, s_3 = s_{30} + s_{31}r, s_4 = s_{40} + s_{41}r$ の5個の4元シンボルとみなす。この受信系列 $\bar{s} = (s_0, s_1, s_2, s_3, s_4)$ から次の式に従つてシンドローム $\bar{S} = (S_0, S_1)$ を計算する。

$$\bar{S} = \bar{H} \bar{s}^* \quad (8)$$

すなわち、

$$S_0 = s_0 + s_2 + s_3 + s_4 \quad (9)$$

$$S_1 = s_1 + s_2 + s_3, r + s_4, r^2 \quad (10)$$

である。これを計算する回路は、符号化回路と同様に作ることができる。

である。

次に、第2図の符号化回路について説明する。符号化回路では、データ入力端子から入つて来た6ビット $s_{20}, s_{21}, s_{30}, s_{31}, s_{40}, s_{41}$ を同一のメモリセルに記憶するもの同士2ビットずつまとめて、前述のように $s_0 = s_{20} + s_{21}r, s_1 = s_{30} + s_{31}r, s_2 = s_{40} + s_{41}r$ の3個の4元シンボルとみなす。この3個を情報点として、 $s_0 = s_{20} + s_{21}r, s_1 = s_{30} + s_{31}r$ の2個の検査点を、式(6), (7)を満たすように付加して、符号語とする。そのためには、

$$s_0 = s_2 + s_3 + s_4 \quad (8)$$

$$s_1 = s_3 + s_4, r + s_4, r^2 \quad (9)$$

を計算すればよい。4元シンボル同士の加算は、排他的論理和 (exclusive OR, 以下EORと略す) ゲート2個で実現できる。また、 s_2 と r の積は、

$$\begin{aligned} s_2 \cdot r &= (s_{20} + s_{21}r) r = s_{20}r + s_{21}r^2 \\ &= s_{20}r + s_{21}(r + 1) \\ &= s_{21} + (s_{20} + s_{21})r \end{aligned} \quad (10)$$

次に、このシンドロームを用いて誤りの生じた位置と誤りの大きさとを決定し、訂正を行う。シンドローム \bar{S} が、 $\bar{S} = (b_0, b_1, b_2, b_3, b_4)$ のある列ベクトル \bar{b}_j の j 倍に等しいとき、 s_j に大きさ j の誤りが生じたと判断し

$$s'_j = s_j + e \quad (11)$$

によって訂正された信号 s'_j を作る。例えば s_j が誤っているかどうか調べるには、

$$\bar{S}' = \begin{pmatrix} S_0 \\ S_1 \end{pmatrix} = e \begin{pmatrix} 1 \\ r \end{pmatrix} = \begin{pmatrix} e \\ e, r \end{pmatrix} \quad (12)$$

を満たす e が存在するかどうか、すなわち、

$$S_1 = e, r = S_0, r \quad (13)$$

が成り立つかどうかを調べればよい。成り立つ場合は、

$$s'_j = s_j + e = s_j + S_0 \quad (14)$$

によって訂正を行い、成り立たない場合は s_j には誤りが生じなかつたと判断して s_j をそのまま s'_j とすればよい。

第4図に本発明の他の実施例を示す。第1図との相違点は、データ入出力端子が各2ビットしか

ないことである。第1図では誤り訂正を行う1つのプロックに含まれる情報量とデータ入出力端子の数とはともに6ビットで等しいが、本実施例では異なるため、その動作は第1図の場合とはやや異なる。以下、本実施例の動作を説明する。

メモリからデータを読み出す際の動作は、第1図の場合とほとんど同じである。ただ、復号回路（復号回路は第3図と同じでよい）で誤りを訂正されたデータ6ビットのうち、2ビットを選択回路6で選択してデータ出力端子D_{out1}、D_{out2}に出すだけである。

これに対して、メモリにデータを書き込む際は、選択されたメモリセルだけでなく、検査ビットが記憶されているメモリセルの内容をも書き替える必要があるため、その動作は第1図の場合とかなり異なる。まず、データ読み出し時と同様に、5個のメモリセルMC₁₁～MC_{11..1}から計10ビットのデータ₃₀、₃₁、……、₄₀、₄₁を読み出して、復号回路で誤り訂正を行う。この10ビットから検査ビットを除いた8ビット_{30'}、_{31'}、

場合と同様である。

第6図に本発明の他の実施例を示す。第1図との相違点は、第1図の場合はデータ線を5本同時に選択するが、本実施例では1本ずつ順次に選択し、メモリセルのデータ読み出し・書き込みをシリアルに行うことである。そのため2列5段の双方向シフトレジスタ9を用いてシリアル・パラレル変換を行っている。メモリにデータを書き込む際は、符号化回路1の出力を一旦シフトレジスタ9に入れる、9を右方向にシフトしながら5本のデータ線DL_{1..1}～DL_{1..5}、……、DL_{1..1}を順に選択し、メモリセルMC_{11..1}～MC_{11..5}、……、MC_{11..1}の順に2ビットずつデータを書き込む。メモリからデータを読み出す際は、まずシフトレジスタ9を左方向にシフトしながらデータ線DL_{1..1}～DL_{1..5}、……、DL_{1..1}を順に選択し、メモリセルMC_{11..1}～MC_{11..5}、……、MC_{11..1}の順にデータを読み出す。次に、復号回路2を動作させて誤りを訂正し、訂正したデータは再びシフトレジスタ9に書き込むと同時に6ビットはデータ出力端

{30'}、{31'}、_{30..1}、_{31..1}をデータ置換回路6に入れる。ここでは、6ビットのうち2ビットをデータ入力端子D_{in0}、D_{in1}から入つて来たデータで置換する（例えば図の状態では_{30'}がD_{in0}で、_{31'}がD_{in1}でそれぞれ置換される）。この6ビットを符号化回路（符号化回路は第2図と同じでよい）に入れて検査ビットを付加し、もとのメモリセルMC_{11..1}～MC_{11..5}、……、DL_{1..1}に2ビットずつ書き込めばよい。

第5図に本発明の他の実施例を示す。第1図との相違点は、データ入出力端子が各1個しかなく、入出力をシリアルに行うことである。そのためシフトレジスタ7および8を設けてシリアル・パラレル変換を行っている。すなわち、メモリにデータを書き込む際は、データ入力端子D_{in}から入つて来たデータを順にシフトレジスタ7に入れ、6ビット入れ終わった後に符号化を行なう。メモリからデータを読み出す際は、誤りを訂正されたデータを一旦シフトレジスタ8に入れ、順にデータ出力端子D_{out}に出す。その他の動作は第1図の

場合と同様である。

子D_{out1..1}～D_{out1..5}に出す。最後に、シフトレジスタ9を右方向にシフトしながらデータ線DL_{1..1}～DL_{1..5}、……、DL_{1..1}を順に選択し、メモリセルMC_{11..1}～MC_{11..5}、……、MC_{11..1}の順にデータの再書き込みを行なう。

なお、本実施例では、データ線を1本ずつ順次に選択するが、第7図に示すようにデータ線は5本まとめて（DL_{1..1}～DL_{1..5}）選択し、そのかわりにシフトレジスタ10を設けててもよい。

第6図および第7図に示した実施例では、データの入出力は第1図と同様に6ビット並列に行なっているが、第4図もしくは第5図に示したようなデータ入出力の方法を採用してもよい。

第8図に本発明の他の実施例を示す。本実施例はいわゆるプロンクオリエンテンドRAM（以下BARAMと略す）であり、1本のワード線に接続されているすべてのメモリセルを1つのプロックとして、プロック単位に読み出し・書き込みを行なうメモリである。図の例では、1本のワード線に50個のメモリセルが接続され、1メモリセル

には4種の情報が記憶されているので、1プロックの大きさは検査ビットを含めて104ビット、検査ビットを除くと64ビットである。以下、本実施例の動作を説明する。

メモリセルのデータ読み出し・書き込みは、リンク状に接続されたシフトレジスタ11および12を介して行う。2列54段のシフトレジスタ11はデータ源とのデータの授受に使用し、2列5段のシフトレジスタ12は符号化回路1および復号回路2とのデータの授受に使用する。

メモリにデータを書き込む際は、まずデータ入力端子から入つて来たデータをシリアルにシフトレジスタ7に入れる。データが6ビット入つて来るごとに符号化回路1（符号化回路は第2回と同じでよい）を動作させ、検査ビット4ビットを付加してシフトレジスタ12に入れる。次にシフトレジスタ11および12をシフトして12の中に入つているデータを11に移す（これはD10から次のデータを入れると同時にIC行つてよい）。すべてのデータ（計104ビット）をシフトレジ

も第8回と同様BOBAMであるが、相違点はAD変換器およびDA変換器を各データ線毎に設けずに、シフトレジスタ12の前後に設けたことである。各データ線とAD変換器、DA変換器との間のデータの転送は、CCD13によってアナログデータのままで行う。その他の動作は第8回と同様である。

第10回に本発明の他の実施例を示す。第9回の実施例はアナログ情報の転送にCCDを用いた例であるが、本実施例はCCD自体をメモリセルとして用い、これに多値情報を記憶させる方式のメモリである。本実施例の動作は、第9回の場合における1トランジスタ形メモリセルとCCDとの間のデータ転送が不要なだけで、その他は第9回と同様である。

以上の実施例はいずれも符号化回路1および復号回路としてそれぞれ第2回および第3回の回路を使用していたが、符号化回路、復号回路はこれに限らない。第11回および第12回にそれぞれ符号化回路、復号回路の他の実施例を示す。第2回

特開昭60-163300(5)

11に移し終わつたところでメモリセルMC10～MC144-1に2ビットずつデータを書き込む。メモリからデータを読み出す際は、まず各データ線から読み出された計104ビットのデータをシフトレジスタ11に入れる。次に、シフトレジスタ11および12をシフトして11に入つてゐるデータを12に移す。データを10ビット移すこと（5回シフトすること）復号回路2（復号回路は第3回と同じでよい）を動作させて誤り訂正を行う。訂正されたデータは再びシフトレジスタ12に入れると同時に、6ビットはシフトレジスタ8に入れる。次に、シフトレジスタ11および12をシフトして次のデータを12に移すと同時に、訂正の終わつたデータを11に戻す。同時にシフトレジスタ8をシフトしてデータを出力端子Doutに出す。すべてのデータ（計104ビット）を訂正してシフトレジスタ11に戻し終わつたところでメモリセルMC10～MC144-1にデータの再書き込みを行う。

第9回に本発明の他の実施例を示す。本実施例

および第3回の実施例では並列に符号化および復号を行うのに対し、本実施例では符号として巡回符号を用い、その性質を利用してシリアルに符号化および復号を行う。

まず、ここで用いている誤り訂正符号について述べる。この符号でも、第2回および第3回の場合と同様に、同一のメモリセルに記憶する2ビット $s_{10} + s_{11} (i = 0 \sim 4)$ とをまとめて1つの4元シンボル $s_{10} + s_{11} + s_{12} + s_{13}$ とみなす。この符号は4元ヘミング(5, 3)符号であり、そのペリティ検査行列 H は、

$$H = \begin{pmatrix} 1 & 0 & 1 & 1 & 1 \\ 0 & 1 & 1 & 1 & 1 \end{pmatrix} \quad (1)$$

である。これは

$$G(x) = x^3 + x^2 + 1 \quad (2)$$

を生成多項式とする巡回符号である。すなわち、符号 $(s_0, s_1, s_2, s_3, s_4)$ を係数とするGF(4)上の多項式

$$P(x) = s_0 + s_1 x + s_2 x^2 + s_3 x^3 + s_4 x^4 \quad (3)$$

はG(x)で割り切れるという性質がある。

この性質を利用して3回の情報点 a_1, a_2, a_3 に検査点 b_0, b_1 を付加するには次のようすればよい。まず、 a_1, a_2, a_3 を係数とする多項式

$$A(x) = a_3 x^3 + a_2 x^2 + a_1 x \quad (1)$$

を作る。A(x)をG(x)で割つた剰余を

$$B(x) = b_0 + b_1 x \quad (2)$$

とすると、 $A(x) + B(x)$ はG(x)で割り切れるから、B(x)の係数 b_0, b_1 を検査点とすればよい。

第11図は以上述べた演算を行う回路である。4個のDフリップフロップ $FF_{00}, FF_{01}, FF_{10}, FF_{11}$ は共通のクロックによって駆動され、2箇の4元シンボル b_0, b_1 を記憶する役割を果たす。すなわち、 FF_{11} の出力を b_{11} とすると、

$$b_0 = b_{00} + b_{01} r \quad (3)$$

$$b_1 = b_{10} + b_{11} r \quad (4)$$

である。スイッチ用信号 SW_1 を“1”にして入力端子 I_0, I_1 にそれぞれ C_0, C_1 （4元シンボル $C = C_0 + C_1 r$ とみます）を入れてクロックを印加すると、回路の状態は次のようになら。

最後に、スイッチ用信号 SW_1 を“0”にしてスイッチ SW_2 を上に倒し、クロックを2回印加して（このとき入力端子は“0”にしておく）回路の中に記憶されている a_1, a_3 をシフトして出力端子に取り出せばよい。

この符号の復号は次のようにして行えればよい。まず、メモリから読み出されたデータ $s = (s_0, s_1, s_2, s_3, s_4)$ からシンドローム

$$\vec{s} = \left(\begin{smallmatrix} s_0 \\ s_1 \\ s_2 \\ s_3 \\ s_4 \end{smallmatrix} \right) = \vec{H} \vec{a} \quad (5)$$

を求める。

$$s_0 = a_0 + a_2 + a_3 r + a_4 r \quad (6)$$

$$s_1 = a_1 + a_3 r + a_4 r + a_0 \quad (7)$$

であるから、

$$\begin{aligned} s(x) &= s_0 + s_1 x \\ &= a_0 + a_1 x + a_2 x^2 + a_3 x^3 + a_4 x^4 \\ &\quad + G(x) (a_0 + (x+r)a_1 + (x^2+r x+r)a_2) \end{aligned} \quad (8)$$

となる。したがつて、 s の要素を係数とする多項式

$$F(x) = a_0 + a_1 x + a_2 x^2 + a_3 x^3 + a_4 x^4 \quad (9)$$

$$b_0^{(a+1)} = b_0^{(a)} + C \quad (10)$$

$$b_1^{(a+1)} = b_1^{(a)} + r (b_0^{(a)} + C) \quad (11)$$

ただし、上フタの添字 a はクロックを a 回印加した後の状態であることを示す。したがつて、 b_0, b_1 を係数とする多項式 $B(x) = b_0 + b_1 x$ は次のようになら。

$$\begin{aligned} B(x)^{(a+1)} &= b_0^{(a)} + C + (b_1^{(a)} + r b_0^{(a)} + r C) x \\ &= (B(x)^{(a)} + C x) x + G(x) (b_1^{(a)} + C) \end{aligned} \quad (12)$$

結局、 $B(x) + C x$ を乗じて x を乗じ、生成多項式 $G(x)$ で割つた剰余が新しい $B(x)$ となる。

符号化は次のような手順で行う。まず、すべてのフリップフロップを“0”にリセットする。次に、スイッチ用信号 SW_1 を“1”にしてスイッチ SW_2 を下に倒し、クロックを印加しながら入力端子 I_0, I_1 から a_1, a_2, a_3, a_4 を順に入れる。このとき出力端子には、 s_0, s_1, s_2, s_3 がそのまま出て来る。回路の中では上に述べた演算が3回行われ、その結果 $A(x) = a_3 x^3 + a_2 x^2 + a_1 x$ を $G(x)$ で割つた剰余 $B(x) = s_0 + s_1 x$ が求められ

る。最後に、スイッチ用信号 SW_1 を“0”にしてスイッチ SW_2 を上に倒し、クロックを2回印加して（このとき入力端子は“0”にしておく）回路の中に記憶されている a_1, a_3 をシフトして出力端子に取り出せばよい。

この符号の復号は次のようにして行えればよい。まず、メモリから読み出されたデータ $s = (s_0, s_1, s_2, s_3, s_4)$ からシンドローム

$$S(x) = e x^4 + Q(x) G(x) \quad (33)$$

と表される（ $Q(x)$ は多項式）。したがつて、

$$\begin{aligned} S(x) x^{4-1} &= e x^3 + Q(x) G(x) x^{4-1} \\ &= e + (Q(x) x^{4-1} + x^3 + r x^2 + r x + 1) G(x) \end{aligned} \quad (34)$$

であるから、 $S(x) + (5-1)$ 回 x を乗じて $G(x)$ で割つた剰余が足数項 e のみになつたとき、“1”に大きさ e の誤りが生じていると判断して、

$$s'_1 = s_1 + e \quad (35)$$

によって訂正された信号 s'_1 を作ればよい。

第12図はこの演算を行う回路である。第11図の場合と同様に x を乗じて $G(x)$ で割つた剰余を求める回路を用いている。

復号は次のように手順で行う。まず、すべての

クリップフロップを“0”にリセットする。次に、クロックを印加しながら入力端子 I_0, I_1 から $x_0, x_1, x_2, x_3, x_4, x_5$ を順に入れる。同時に $x_0 \sim x_5$ はシフトレジスタ 25 (クリップフロップ $F_{00} \sim F_{11}$ と同じクロックで駆動される) に蓄えておく。このとき回路の中では、 $x_4 x^4 + x_3 x^3 + x_2 x^2 + x_1 x + x_0$ を G 回路で割つた剰余 $x_0 + x_1 x$ が求められる。次に、 I_0, I_1 を“0”にしてさらにクロックを印加し、 x を乗じて G 回路で割つた剰余を求める演算を繰り返す。この演算を $(5-j)$ 回行つたとき、結果が定数項のみになつたとすると、NOR ゲート 26 の出力が“1”になり、そのときシフトレジスタ 25 から出て来た信号“1”が訂正される。

なお、符号化回路と復号回路とは共通部分が多いので第 1 3 図に示すように一つにまとめることが可能である。

第 1 1 図の符号化回路、第 1 2 図の復号回路、および第 1 3 図の符号化・復号回路では、データの入出力を 2 ピットずつシリアルに行うため、こ

比特) の情報を記憶する方式では、誤り訂正符号として 9 元符号を用いる。一例として 9-8 の場合について述べる。

8 元シンボルとしては GF(8) の 8 個の元、0, 1, $\beta, \beta^2, \dots, \beta^6$ ($\beta^8 + \beta + 1 = 0 \bmod 2$) を用いる。誤り訂正符号としては、例えば

$$H = \begin{pmatrix} 1 & 0 & 1 & \beta & \beta^4 & \beta^6 & \beta^3 & \beta^5 \\ 0 & 1 & \beta & \beta^6 & \beta^4 & \beta^2 & \beta & 1 \end{pmatrix} \quad (37)$$

をパリティ検査行列とする 8 元 (9, 7) 符号がある。これは、

$$G(x) = x^8 + \beta^6 x + 1 \quad (38)$$

を生成多項式とする巡回符号である。この符号による誤り訂正機能を設けた実施例を第 1 6 図に示す (これは第 1 5 図と同様を構成の B O B A M である)。この実施例に用いている符号化回路および復号回路の回路図をそれぞれ第 1 7 図および第 1 8 図に示す (これらはそれぞれ第 1 1 図および第 1 2 図と同様、巡回符号の性質を利用した回路である)。

以上の例はいずれも、誤り訂正符号としては单

れらを用いる場合はメモリの構成を多少変更する必要がある。例えば、第 1 図に示すメモリに第 1 1 図の符号化回路および第 1 2 図の復号回路を用いる場合は、第 1 4 図に示すように、シリアル・パラレル変換のためにシフトレジスタ 15, 16, 17 を付加する必要がある。また、第 8 図に示すメモリに適用する場合は、第 1 5 図に示すようにシフトレジスタ 12 を除去し、シフトレジスタ 7, 8 をそれぞれ 18, 19 で置き換えればよい。

以上の実施例はいずれも式(5)もしくは(6)をパリティ検査行列とする 4 元 (5, 3) 符号を用いた例であつたが他の符号でもよいことはもちろんである。例えば、

$$H = \begin{pmatrix} 1 & 0 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & r & r & r & r & r & r & r & r & r & r & 1 & 1 \\ 0 & 0 & 1 & 1 & r & r & 0 & 1 & r & r & 0 & 1 & r & r & 1 & r & r & r & 1 & r \end{pmatrix} \quad (36)$$

をパリティ検査行列とする 4 元 (21, 18) 符号でもよい。また、メモリセル 1 個に記憶する情報量は 4 値に限らない。一般に、9 値 (LOG 9

一誤り訂正符号を用いているが、單一誤り訂正二重誤り検出符号、あるいは多重誤り訂正符号を用いてもよいことはもちろんである。

〔発明の効果〕

以上説明したように、本発明によるメモリでは 1 個のメモリセルに記憶される 9 値 (9 \times 3) の情報をまとめて 1 つの 9 元シンボルとみなし、このシンボルを単位として符号化・復号を行う。したがつて、9 値によつて 1 個のメモリセルに記憶されている 9 値の情報をすべて失われるという種のソフトエラーの修正を容易に行うことができる。

図面の簡単な説明

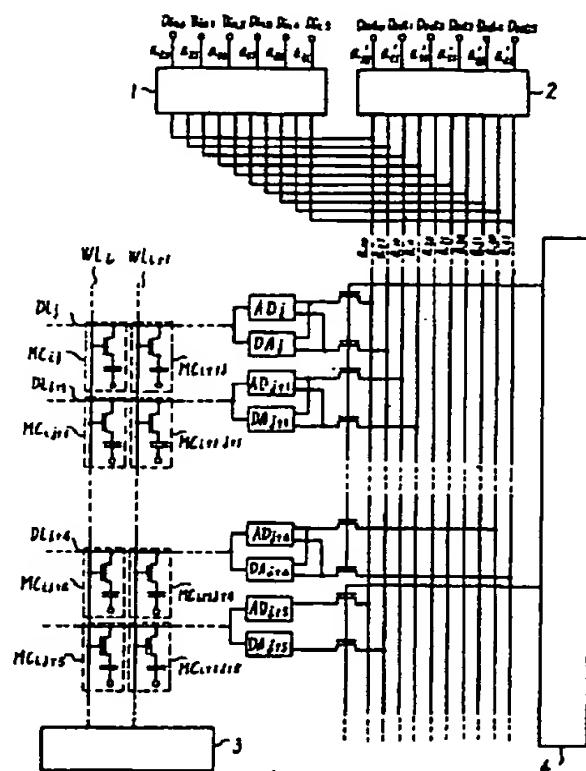
第 1 図、第 4 図～第 1 0 図、第 1 4 図～第 1 6 図は、本発明による誤り訂正機能付メモリの構成図、第 2 図、第 1 1 図、第 1 7 図は上記メモリに用いる符号化回路の回路図、第 3 図、第 1 2 図、第 1 8 図は上記メモリに用いる復号回路の回路図、第 1 3 図は上記メモリに用いる符号化・復号回路の回路図である。

1 … 符号化回路、2 … 復号回路、3 … ワード選択

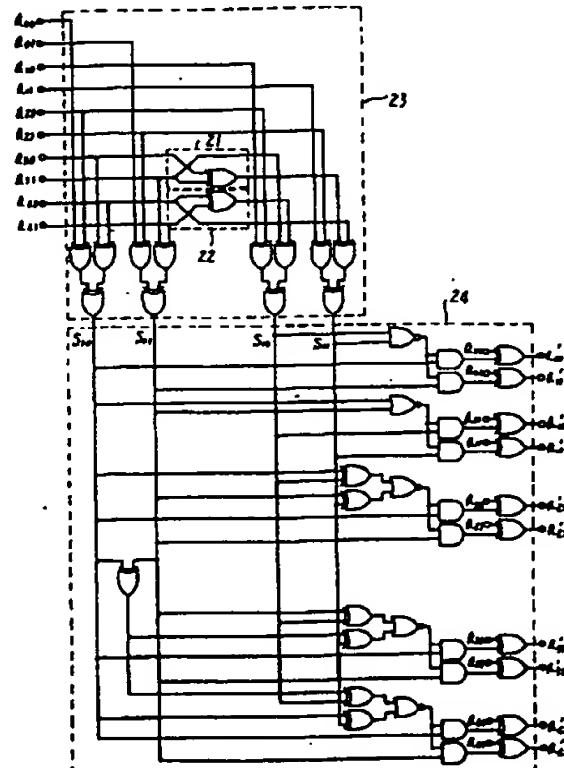
3…回路、4…データ選択回路、5…データ選択回路、6…選択回路、7, 8, 11, 12, 15, 16, 17, 18, 19, 25…シフトレジスタ、9, 10…双方向シフトレジスタ、13, 14…CCD、21… τ を乗ずる回路、22… τ^2 を乗ずる回路、23…シンドローム計算回路、24…訂正回路、26…NORゲート、27… μ を乗ずる回路、MCII…メモリセル、WL1…ワード線、DL1…データ線、ADI…AD変換器、DAI…DA変換器、PP1…Dフリップフロップ。

代理人弁理士 高橋明夫

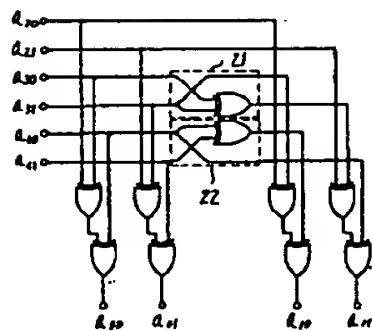
第1図



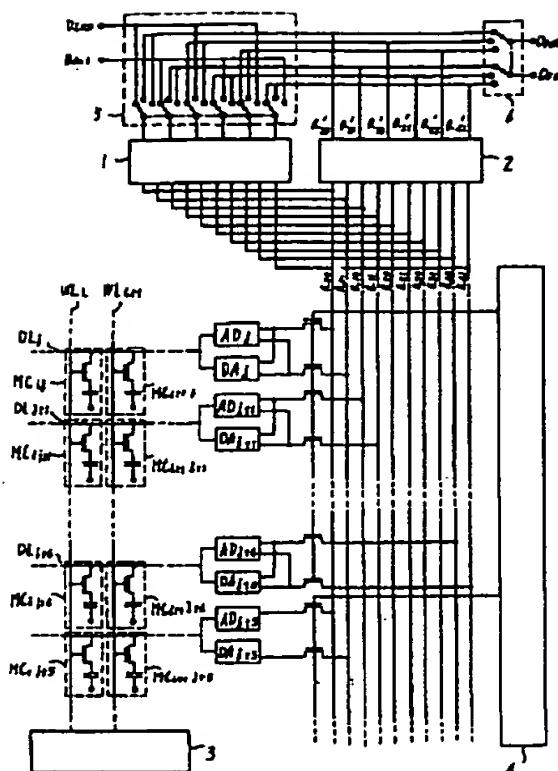
第3図



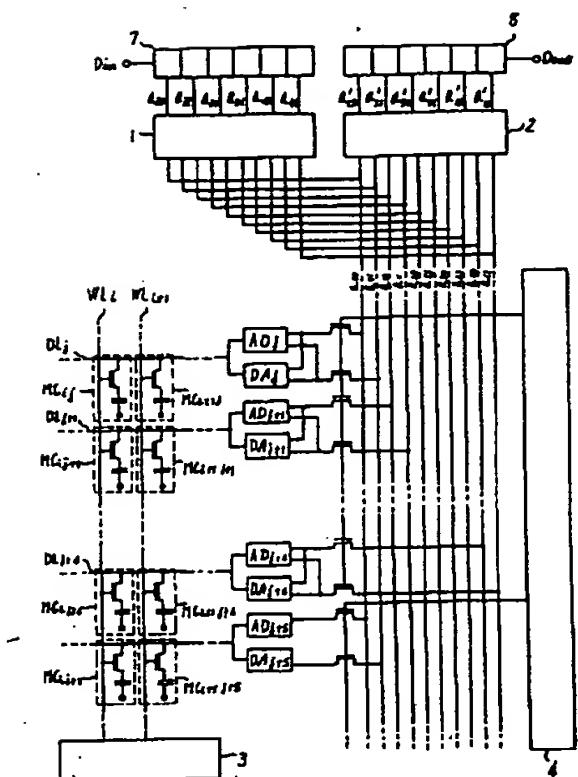
第2図



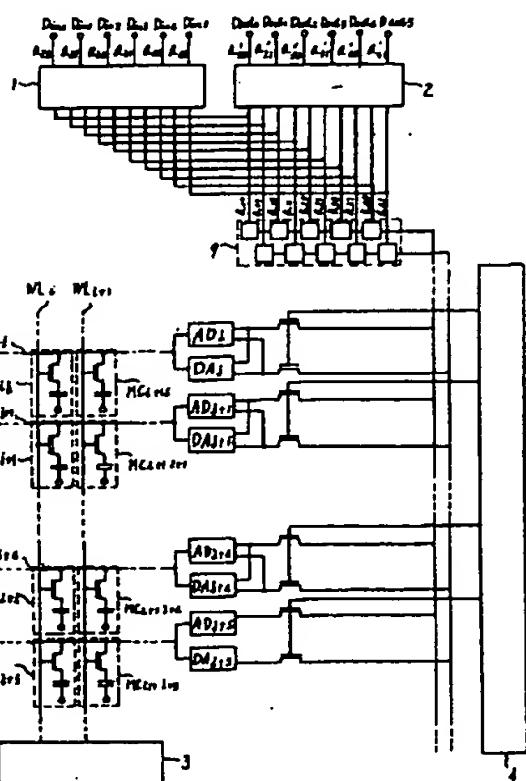
5 4 9



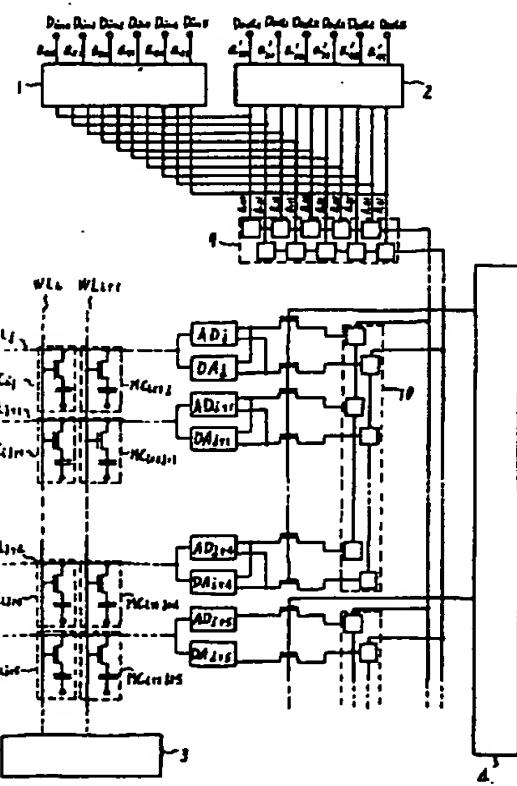
第 5 四



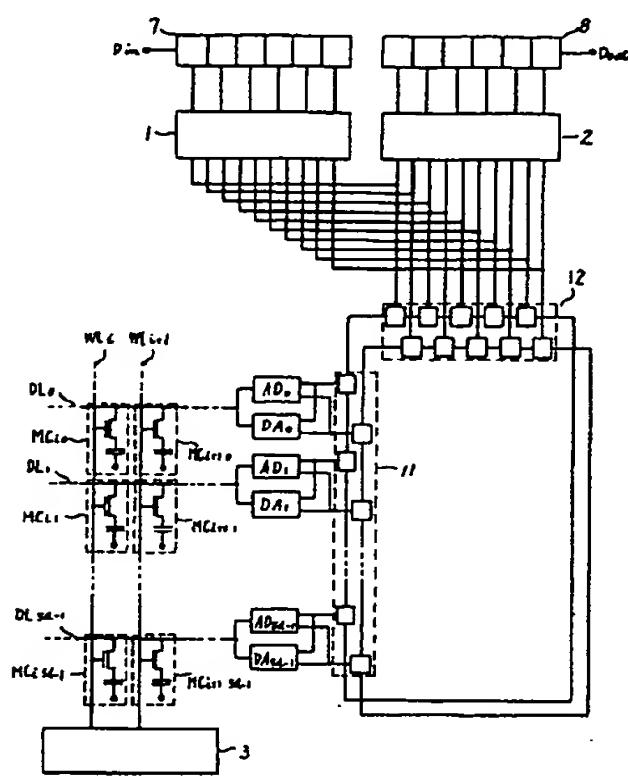
第 6 四



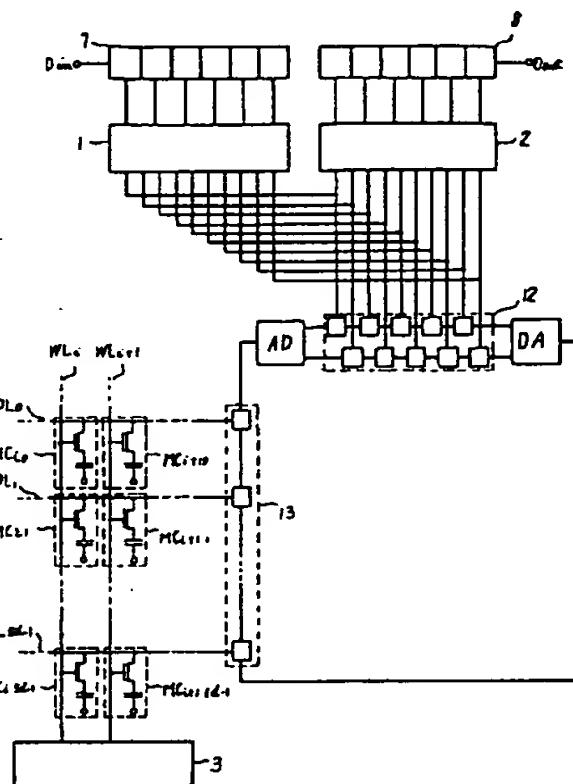
第 7 回



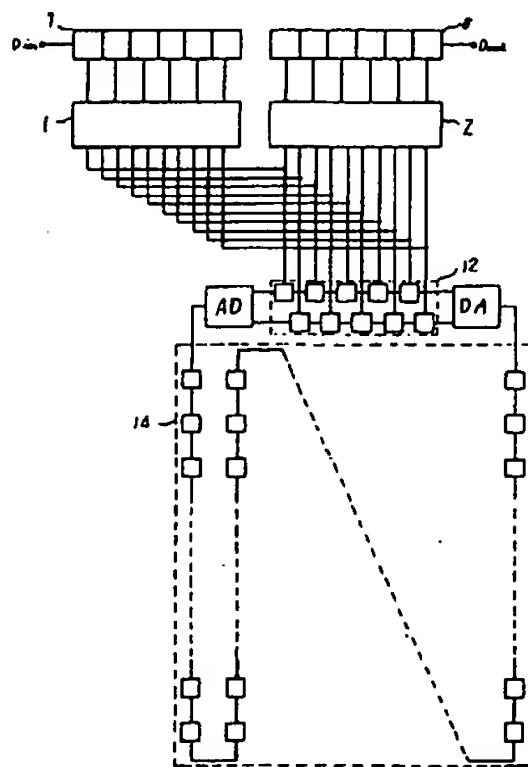
五 三 四



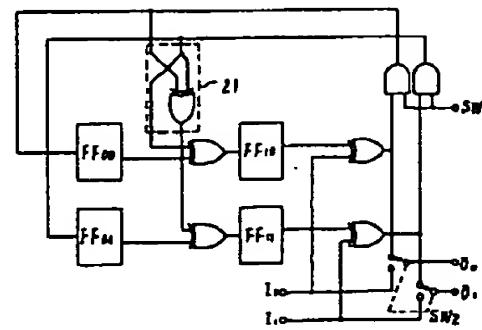
五 9



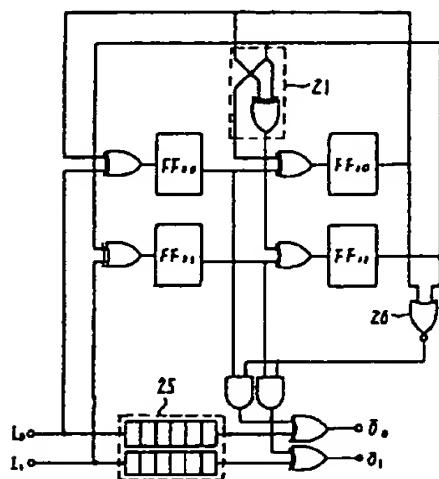
第 10 回



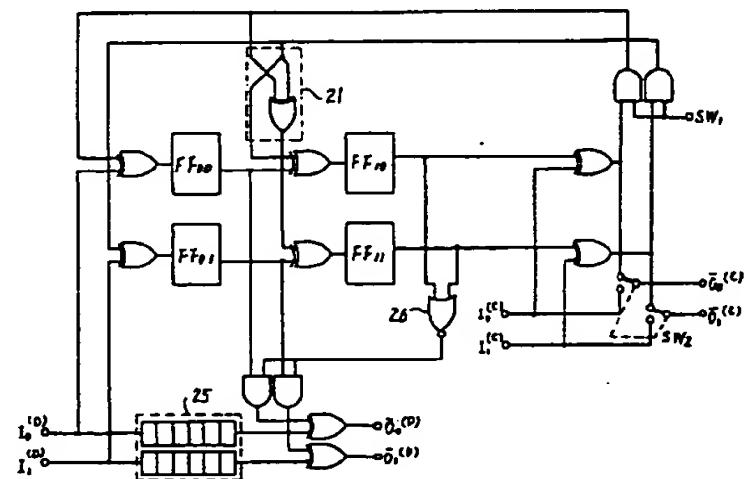
五 17



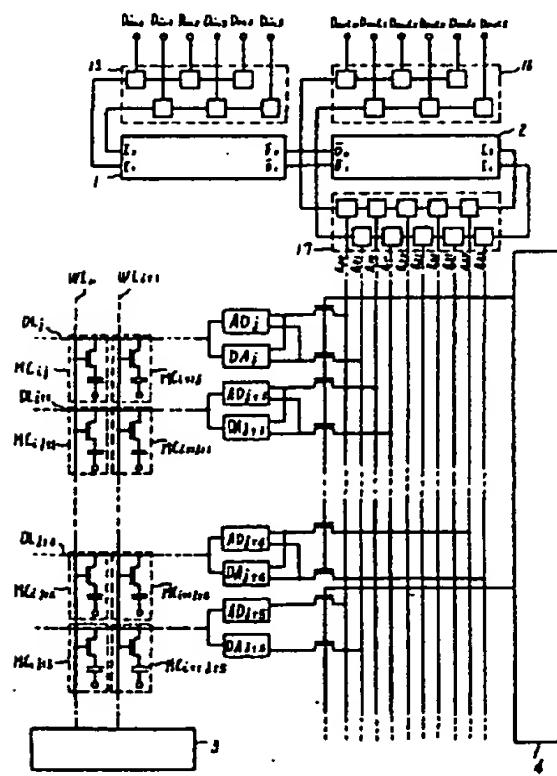
第 12 四



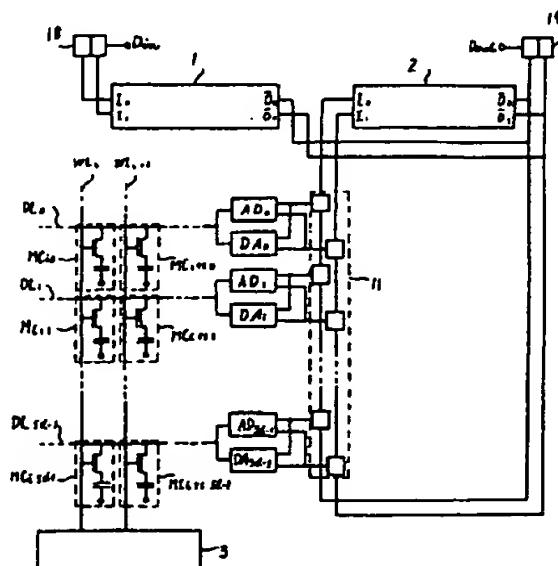
易经图



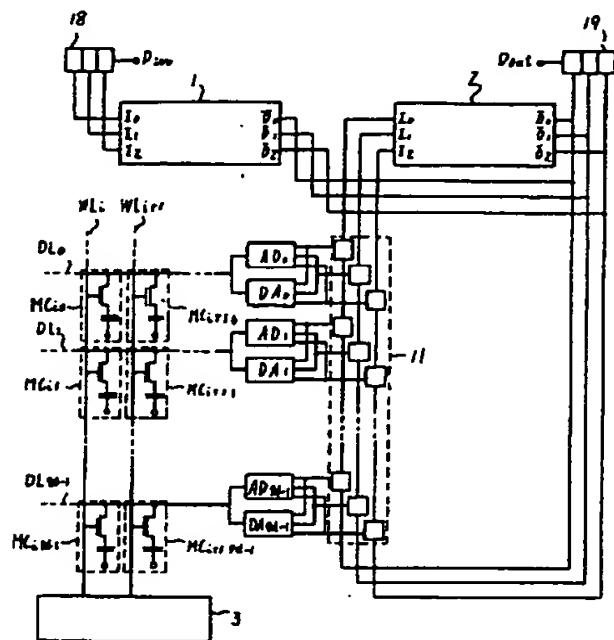
第 14 四



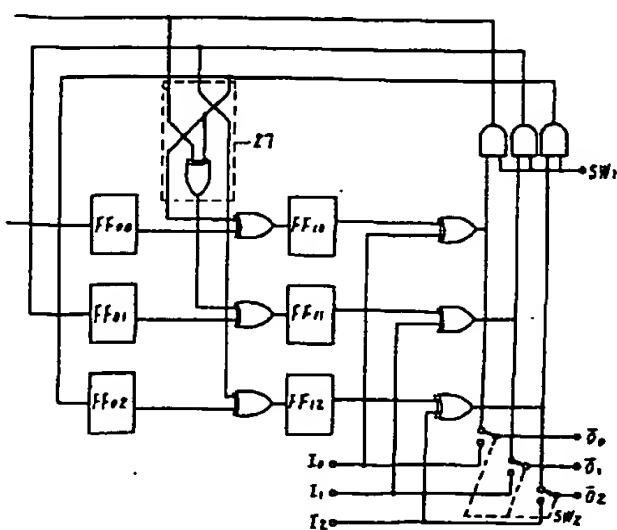
第 15 团



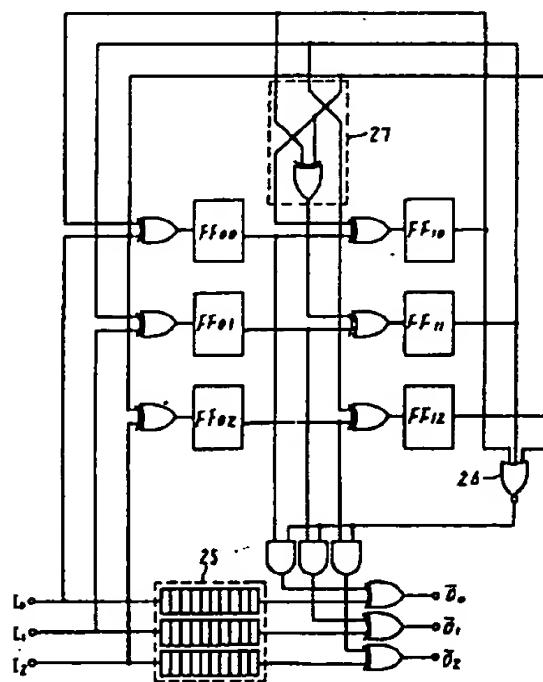
第 16 回



苏 17 团



第 18 回



第1頁の続き

④Int.Cl.
G 11 C 11/56

識別記号

府内整理番号

8219-5B

⑤発明者 油永伸一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

手 続 極 正 書

** 59* 3 *30 *

特許庁長官殿
事件の表示

昭和 59 年 特許願 第 18326 号
昭和 59 年 2 月 6 日付提出の特許願(26)

発明の名称

誤り訂正機能付半導体メモリ

補正をする者

特許と同様 特許出願人

名 称 (53)株式会社 日立製作所

補正の内容

1. 図面第1図、第4図から第7図と第14図を別紙のとおりに補正する。
2. 明細書について下記の補正をする。
 - (1) 第2頁第6行の「Fed.」を「Feb.」と訂正する。
 - (2) 第6頁第3行の「留況された」を「遺状された」に訂正する。
 - (3) 第8頁第15行の「exclusive」を「Exclusive」に訂正する。
 - (4) 第11頁第10行の「出力端子」を「出力端子」に訂正する。

代 理 人

名 称 (53) 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内 電話 03-212-1111 (ATC)

氏 名 (6109) 幸 士 高 橋 明 夫

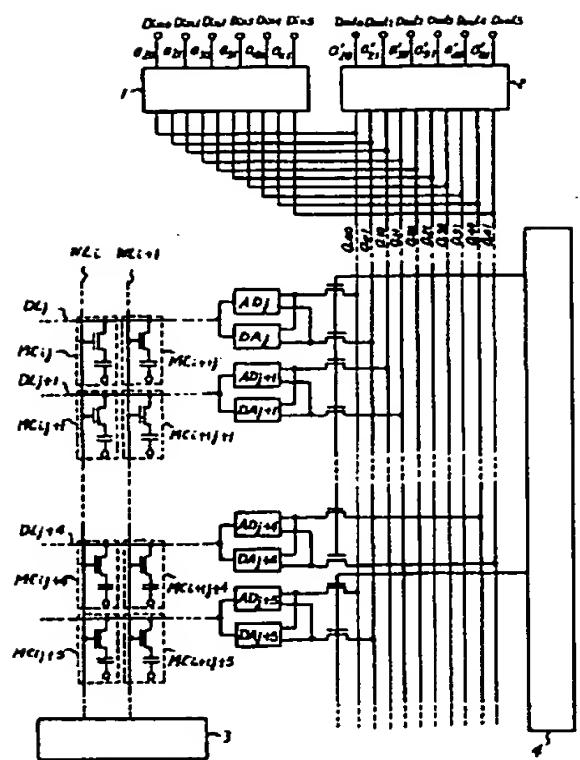


補正の対象 発明者の「発明の詳細な説明」の補

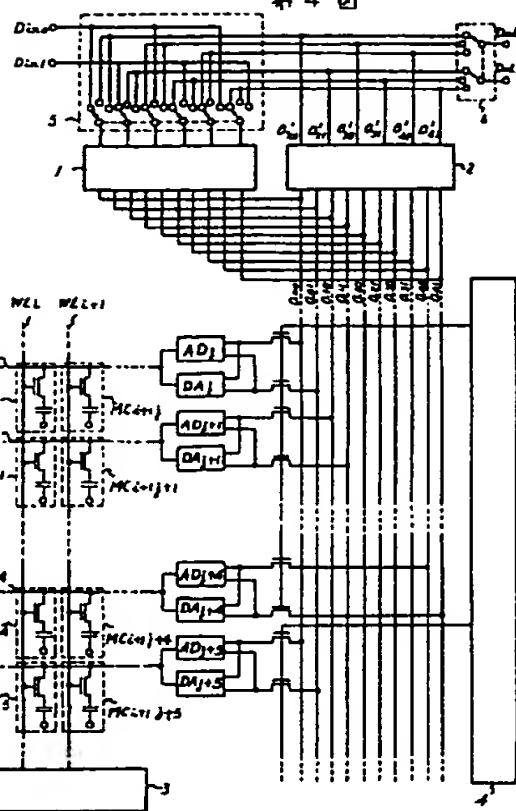
充

補正の内容

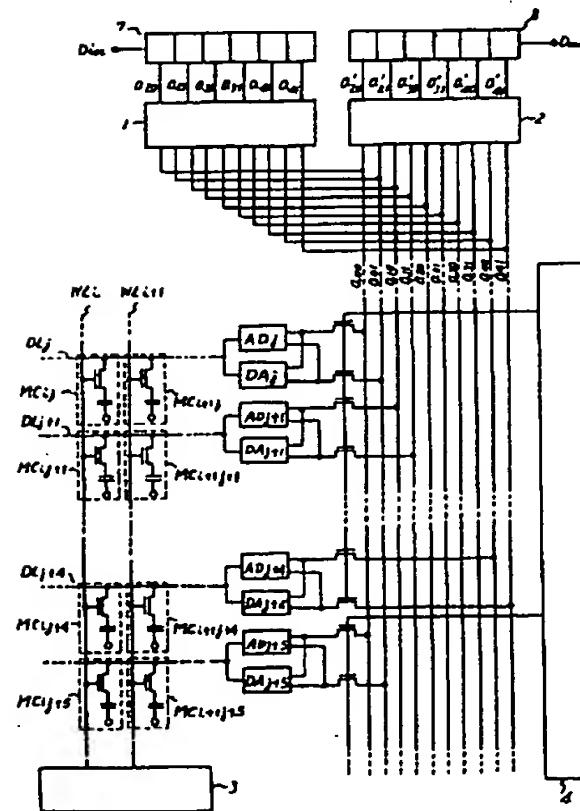
第1図



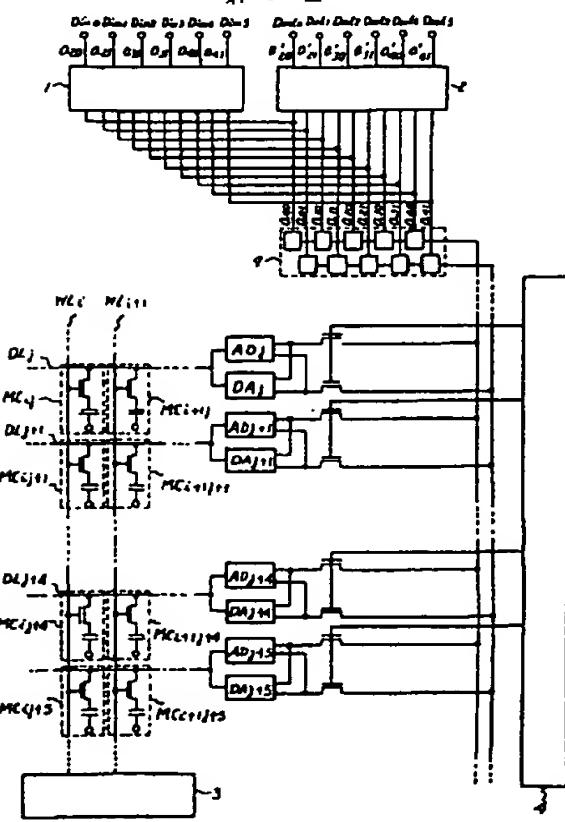
第4図



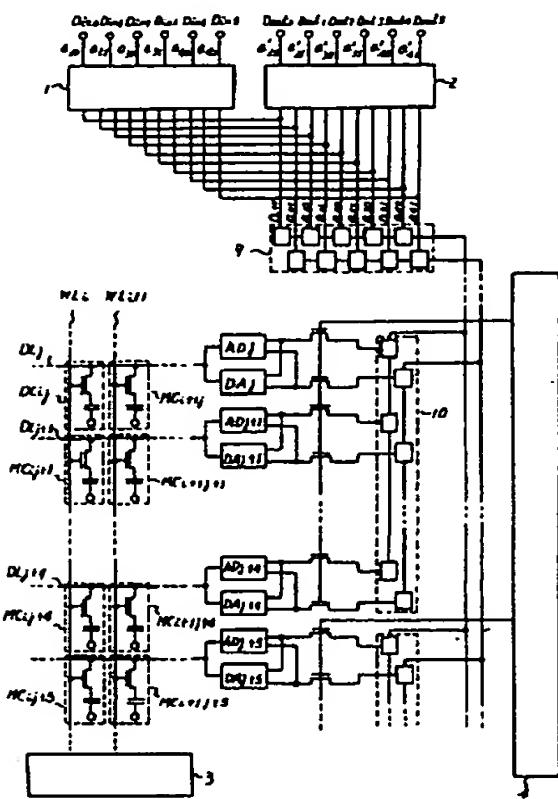
第5図



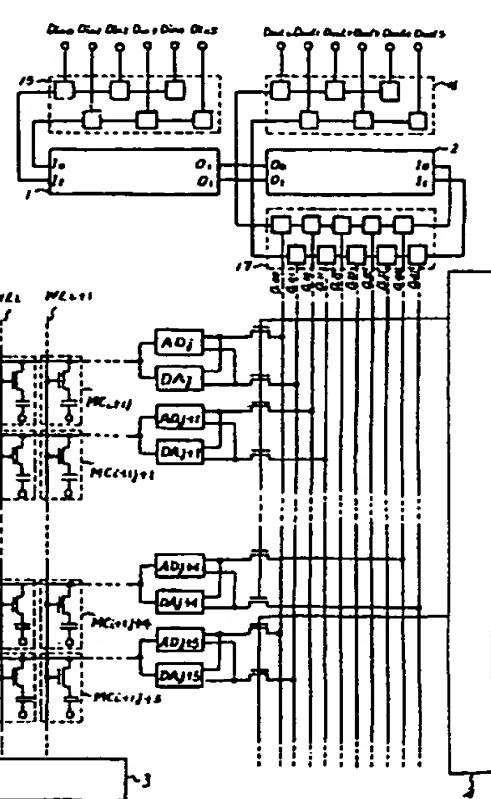
第6図



第 7 図



第 14 図



特許法第17条の2の規定による補正の掲載

平成3.5.30発行

昭和 59 年特許願第 18316 号 (特開昭
60-163300 号, 昭和 60 年 3 月 26 日
発行 公開特許公報 60-1633 号掲載) につ
いては特許法第17条の2の規定による補正があつ
たので下記のとおり掲載する。 6 (1)

Int. C.I.	識別 記号	庁内整理番号
G11C 29/00		7737-58
G06F 11/10		9072-58
11/16		7737-58
G11C 11/56		7131-58

平成 3. 5.30 発行

手 球 準 正 書
平成 3 1 月 日

特許庁長官 署

事件の表示 昭和 59 年特許願第 18326 号

発明の名称 読り訂正機能付半導体メモリ

補正をする者

事件との関係 特許出願人

名称 (510) 株式会社 日立製作所

代理人

居所 〒100 東京都千代田区丸ノ内一丁目 5 番 1 号

株式会社 日立製作所内

電話 東京 3211-1111 (大代表)

氏名 (6850) 弁理士 小川 勝男

補正の対象 男細書の「特許請求の範囲」の補

正の内容

特許請求の範囲を別紙のとおり補正する。

特許庁
3.1.30
出願
公表

特許請求の範囲

1. 9 箇の情報を記憶する読み訂正機能付半導体メモリにおいて、

読み訂正手段と、データ入力手段と、データ出力手段とを有し、

9 は 3 以上であり、

読み訂正手段として 9 元符号を用いることを特徴とする読み訂正機能付半導体メモリ。

2. 特許請求の範囲第 1 項記載の読み訂正機能付半導体メモリにおいて、

上記 9 元符号は、9 元巡回符号であることを特徴とする読み訂正機能付半導体メモリ。

3. 特許請求の範囲第 1 項記載の読み訂正機能付半導体メモリにおいて、

上記 9 元符号は、9 元短縮化巡回符号であることを特徴とする読み訂正機能付半導体メモリ。

4. 特許請求の範囲第 1 項記載の読み訂正機能付半導体メモリにおいて、

上記読み訂正手段は、符号化回路と、復号回路とを有し、

上記符号化回路は、入力データを上記 9 元符号に変換する機能を有し、

上記復号回路は、上記 9 元符号を出力データに変換する機能を有することを特徴とする読み訂正機能付半導体メモリ。

5. 特許請求の範囲第 4 項記載の読み訂正機能付半導体メモリにおいて、

上記出力データは、パラレルデータであることを特徴とする読み訂正機能付半導体メモリ。

6. 特許請求の範囲第 4 項記載の読み訂正機能付半導体メモリにおいて、

上記出力データは、シリアルデータであることを特徴とする読み訂正機能付半導体メモリ。

7. 特許請求の範囲第 6 項記載の読み訂正機能付半導体メモリにおいて、

上記データ出力手段は、シフトレジスタを有し、

上記シフトレジスタは、パラレルデータを上記シリアルデータに変換することを特徴とする読み訂正機能付半導体メモリ。